

PATENT ABSTRACTS OF JAPAN

AC

(11)Publication number : 2002-151668

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

H01L 27/14
H01L 31/10

(21)Application number : 2000-343542

(71)Applicant : DENSO CORP

(22)Date of filing : 10.11.2000

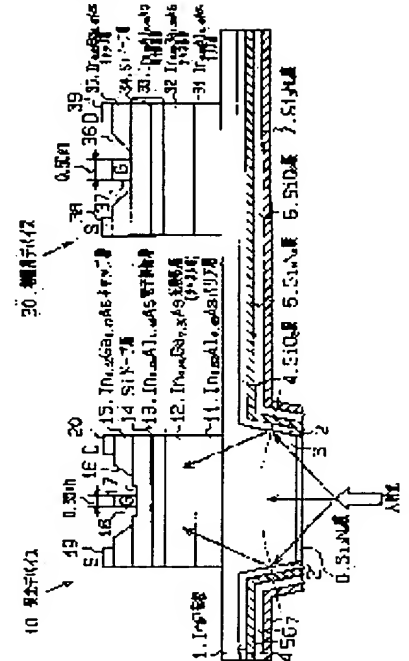
(72)Inventor : MIYAKE YASUYUKI

(54) OPTICAL INTEGRATED CIRCUIT AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an optical integrated circuit and the manufacturing method, capable of integrating a light-receiving device and a device for amplification, without having to carry out a complicated semiconductor manufacturing process.

SOLUTION: The light-receiving device 10 for converting optical signals to electrical signals and the device 30 for the amplification for amplifying the electrical signals converted in the light-receiving device 10, are arranged on an InP substrate 1 and both devices 10 and 30 are provided with the same semiconductor film structure. The light-receiving device 10 and the device 30 for the amplification are provided with electron supply layers 13 and 33 formed on the substrate 1 and channel layers 12 and 32, where the electrons supplied from the electron supply layers 13 and 33 move. For a high electron mobility transistor, the electron supply layers 13 and 33 are composed of In_{0.52}Al_{0.48}As, and the channel layers 12 and 32 are composed of In_{0.80}Ga_{0.20}As. The gate recess structure of the HEMT 10 for light reception is turned into a two-stage recess and the gate recess structure of the HEMT 30 for the amplification is turned into a single-stage recess.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

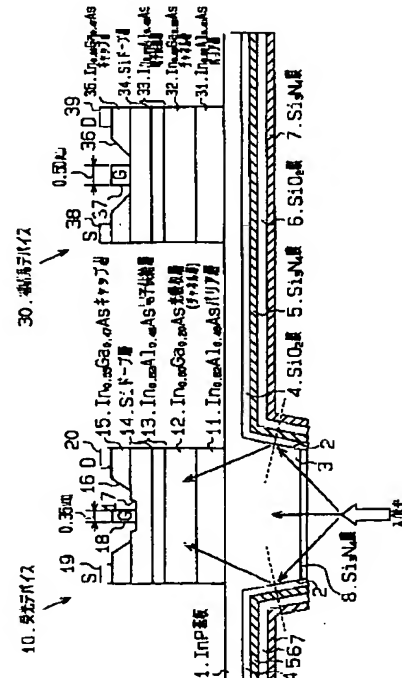
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



【特許請求の範囲】

【請求項1】 基板(1)上に、光信号を電気信号に変換する受光デバイス(10)と、前記受光デバイス(10)で変換した電気信号を増幅する増幅用デバイス(30)を配置した光集積回路において、

前記受光デバイス(10)と増幅用デバイス(30)が同一の半導体膜構造を有することを特徴とする光集積回路。

【請求項2】 請求項1に記載の光集積回路において、前記受光デバイス(10)および増幅用デバイス(30)が、

基板(1)上に形成した電子供給層(13, 33)と、この電子供給層(13, 33)から供給された電子が走行するチャネル層(12, 32)とを具備する高電子移動度トランジスタであることを特徴とする光集積回路。

【請求項3】 請求項2に記載の光集積回路において、前記高電子移動度トランジスタは、前記電子供給層(13, 33)が $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ からなり、前記チャネル層(12, 32)が $\text{In}_{0.80}\text{Ga}_{0.20}\text{As}$ からなることを特徴とする光集積回路。

【請求項4】 請求項2に記載の光集積回路において、受光用高電子移動度トランジスタ(10)のゲートリセス構造が2段リセスであり、増幅用高電子移動度トランジスタ(30)のゲートリセス構造が1段リセスであることを特徴とする光集積回路。

【請求項5】 請求項4に記載の光集積回路において、受光用高電子移動度トランジスタ(10)のゲート電極(18)のゲート長が $0.35\mu\text{m}$ 以下であることを特徴とする光集積回路。

【請求項6】 請求項2に記載の光集積回路において、電気信号を受光デバイス(10)から増幅用デバイス(30)まで導く導波路にコプレーナ線路を用いたことを特徴とする光集積回路。

【請求項7】 請求項1に記載の光集積回路において、基板(1)の下面における受光デバイス(10)の直下を除く部分に、側面が斜状となった凹部(2)を形成し、この凹部(2)の内面に反射膜(4~7)をコーティングするとともに、受光デバイス(10)の直下の基板(1)表面に反射防止膜(8)をコーティングしたことを特徴とする光集積回路。

【請求項8】 請求項1に記載の光集積回路において、基板(1)の下面における受光デバイス(10)の直下の部分に、側面が斜状となった凹部(50)を形成し、この凹部(50)の底面に反射防止膜(8)をコーティングするとともに、凹部(50)の側面を含めた基板(1)の表面に反射膜(4~7)をコーティングしたことを特徴とする光集積回路。

【請求項9】 請求項1に記載の光集積回路において、基板(1)の下面における受光デバイス(10)の直下

の部分にV型の溝(60)を形成し、このV溝(60)の内面を含めた基板(1)の表面に反射膜(4~7)をコーティングするとともに、基板(1)の側面に反射防止膜(8)をコーティングしたことを特徴とする光集積回路。

【請求項10】 請求項7~9のいずれか1項に記載の光集積回路において、

反射膜(4~7)を多層膜にて構成したことを特徴とする光集積回路。

【請求項11】 請求項10に記載の光集積回路において、

反射防止膜(8)を Si_3N_4 にて構成し、反射多層膜(4~7)を SiO_2 と Si_3N_4 にて構成したことを特徴とする光集積回路。

【請求項12】 基板(1)上における、光信号を電気信号に変換する受光デバイス(10)と、前記受光デバイス(10)で変換した電気信号を増幅する増幅用デバイス(30)が、同一の半導体膜構造を有し、

前記受光デバイス(10)および増幅用デバイス(30)が、基板(1)上に形成した $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 電子供給層(13, 33)と、この電子供給層(13, 33)から供給された電子が走行する $\text{In}_{0.80}\text{Ga}_{0.20}\text{As}$ チャネル層(12, 32)とを具備する高電子移動度トランジスタであり、

受光用高電子移動度トランジスタ(10)のゲートリセス構造が2段リセスであり、増幅用高電子移動度トランジスタ(30)のゲートリセス構造が1段リセスである光集積回路の製造方法であって、

受光用高電子移動度トランジスタ(10)の2段リセス構造を形成した後において、表面に露出した $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層(13)を、少なくとも酸素を含む雰囲気と接触させた後に、当該 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層(13)上にゲート電極(18)を形成するようにしたことを特徴とする光集積回路の製造方法。

【請求項13】 請求項12に記載の光集積回路の製造方法において、

前記 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層(13)を少なくとも酸素を含む雰囲気と接触させる工程は、大気中に1時間以上放置するものであることを特徴とする光集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は光集積回路に係り、詳しくは、光信号を電気信号に変換する受光デバイスと、受光デバイスで変換した電気信号を増幅する増幅用デバイスを同一基板に形成した光集積回路に関するものである。

【0002】

【従来の技術】光ファイバー通信の発展に伴って、受光デバイスに対する高速性の要求の声が高まっている。こ

の高速性の要求を満たし、かつ、チップサイズの小型化を実現するために、現在、様々な受光デバイスと増幅用デバイスを組み合わせた光集積回路の研究・開発が活発に行われている。

【0003】しかし、このような光集積回路中に配するフォトダイオード(PD)などの受光デバイスと増幅用デバイスの半導体多層構造が大きく異なるために、光集積回路を作製するには、一般的に次のような工程を踏まなければならない。まず、受光デバイスと増幅用デバイスを構成する半導体膜を積層する。次に、この多層膜を半導体基板までメサ加工してデバイスを構成する多層膜をそれぞれ露出させる。その後、さらに各デバイスを分離するのに必要な工程をそれぞれ行って集積デバイスの形成工程を完了する。

【0004】このとき、あるデバイスを作製するために必要な工程が他のデバイスに必要ななく、その工程を行うために他の工程の半導体多層膜を破壊し、特性に劣化を招くことがある。こうした破壊を防ぐために特開平5-63181号公報のような技術が開発されている。加えて、光を入射した際、光集積回路中の受光デバイスと増幅用デバイスが隣接して集積化されていると、受光デバイス以外に増幅用デバイスにも光が照射されてしまい、通信(信号伝達)を行う際の雑音になる。そのため、受光デバイスと増幅用デバイスとをある程度離して集積化している。

【0005】

【発明が解決しようとする課題】本発明はこのような背景の下になされたものであり、その目的は、複雑な半導体製造工程を行わずに受光デバイスと増幅用デバイスの集積化が可能となる光集積回路およびその製造方法を提供することにある。

【0006】

【課題を解決するための手段】請求項1に記載の発明によれば、受光デバイスと増幅用デバイスを同一の半導体膜構造にすることにより、従来の手法のようなそれぞれ異なった半導体多層膜を露出させるための複雑な半導体製造工程を行わずに受光デバイスと増幅用デバイスを集積化することが可能となる。

【0007】また、請求項2に記載のように、受光デバイスおよび増幅用デバイスが、基板上に形成した電子供給層と、電子供給層から供給された電子が走行するチャネル層とを具備する高電子移動度トランジスタとし、特に、請求項3に記載のように、高電子移動度トランジスタは、電子供給層が $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ からなり、チャネル層が $\text{In}_{0.80}\text{Ga}_{0.20}\text{As}$ からなるものとすることができる。

【0008】また、請求項4に記載のように、受光用高電子移動度トランジスタのゲートリセス構造が2段リセスであり、増幅用高電子移動度トランジスタのゲートリセス構造が1段リセスであると、デバイス特性の改善を

図る上で好ましい。ここで、請求項5に記載のように、受光用高電子移動度トランジスタのゲート電極のゲート長が $0.35\mu\text{m}$ 以下であると、デバイス特性の改善を図る上で更に好ましいものとなる。

【0009】また、請求項6に記載のように、電気信号を受光デバイスから増幅用デバイスまで導く導波路にコプレーナ線路を用いると、線路の損失を抑えることができる。

【0010】請求項7に記載のように、基板の下面における受光デバイスの直下を除く部分に、側面が斜状となった凹部を形成し、この凹部の内面に反射膜をコーティングするとともに、受光デバイスの直下の基板表面に反射防止膜をコーティングすると、基板表面と直交する方向から光信号を入射し、反射防止膜によって基板内に光を効率よく入射して受光デバイスに光を導くことができる。とともに、反射膜によって増幅用デバイスへの入射を防ぐことができる。さらに、凹部の斜状面を利用して基板の表面に垂直に入射されない光についても効率的に受光デバイスへ入射させることができ、かつ、効率的に増幅用デバイスへの入射を防ぐことができる。受光デバイスのみに光が入射するようにすれば、光による増幅用デバイスの雑音を抑えることができる。よって、受光デバイスと増幅用デバイスが隣接しても、光を照射したときの増幅用デバイスの特性の変化が抑えられる。このように、受光デバイスと増幅用デバイスを隣接して集積化することができ、光集積回路の小型化が可能になる。

【0011】請求項8に記載のように、基板の下面における受光デバイスの直下の部分に、側面が斜状となった凹部を形成し、この凹部の底面に反射防止膜をコーティングするとともに、凹部の側面を含めた基板の表面に反射膜をコーティングすると、基板表面と直交する方向から光信号を入射し、反射防止膜によって基板内に光を効率よく入射して受光デバイスに光を導くことができる。とともに、反射膜によって増幅用デバイスへの入射を防ぐことができる。さらに、凹部の斜状面を利用して基板の表面に垂直に入射されない光についても効率的に受光デバイスへ入射させることができ、かつ、効率的に増幅用デバイスへの入射を防ぐことができる。受光デバイスのみに光が入射するようにすれば、光による増幅用デバイスの雑音を抑えることができる。よって、受光デバイスと増幅用デバイスが隣接しても、光を照射したときの増幅用デバイスの特性の変化が抑えられる。このように、受光デバイスと増幅用デバイスを隣接して集積化することができ、光集積回路の小型化が可能になる。

【0012】請求項9に記載のように、基板の下面における受光デバイスの直下の部分にV型の溝を形成し、このV溝の内面を含めた基板の表面に反射膜をコーティングするとともに、基板の側面に反射防止膜をコーティングすると、光信号を基板表面と平行な方向から入射し、反射防止膜によって基板内に光を効率よく入射すること

ができ、かつ、V溝部分にコーティングした反射膜によって光を反射させて受光デバイスに光を導くことができる。受光デバイスのみに光が入射するようにすれば、光による増幅用デバイスの雑音を抑えることができる。よって、受光デバイスと増幅用デバイスが隣接しても、光を照射したときの増幅用デバイスの特性の変化が抑えられる。このように、受光デバイスと増幅用デバイスを隣接して集積化することができ、光集積回路の小型化が可能になる。

【0013】請求項10、11に記載のように、反射防止膜を Si_3N_4 にて、反射多層膜を Si_3N_4 及び SiO_2 にて構成すると、基板の保護膜としての効果も生じるため効果的である。

【0014】請求項12に記載の光集積回路の製造方法のように、受光用高電子移動度トランジスタの2段リセス構造を形成した後において、表面に露出した $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層を、少なくとも酸素を含む雰囲気中に接触させた後に、当該 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層上にゲート電極を形成する。例えば、請求項13に記載のように、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層を少なくとも酸素を含む雰囲気中に接触させる工程として、大気中に1時間以上放置する。このようにすると、デバイス特性の改善を図ることができる。

【0015】

【発明の実施の形態】(第1の実施の形態)以下、この発明を具体化した第1の実施の形態を図面に従って説明する。

【0016】図1には、本実施の形態における光集積回路の縦断面を示す。図1において、符号1で示す基板の上に受光デバイス10と増幅用デバイス30が配置されている。受光デバイス10は、光ファイバーを用いて送られてくる通信用光信号を電気信号に変換するためのものである。増幅用デバイス30は、受光デバイス10で変換した電気信号を増幅するデバイスであり、同デバイス30は、高周波信号を取り扱う高周波デバイスとして用いられる。受光デバイス10と増幅用デバイス30は、同一の半導体膜構造を有する。これによって、従来の手法のようなそれぞれ異なった半導体多層膜を露出させるための複雑な半導体製造工程を行わずに受光デバイス10と増幅用デバイス30を集積化することができる。

【0017】詳しくは、半絶縁性 InP 基板1の上に、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層11、31と、 $\text{In}_{0.80}\text{Ga}_{0.20}\text{As}$ 層12、32と、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層13、33と、この $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層13、33の成膜途中に Si によってプレーナドーピング($8 \times 10^{12}/\text{cm}^2$)を施した Si ドープ層14、34と、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層15、35が積層されている。受光デバイス10においては、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層11がバリア層となり、 $\text{In}_{0.80}\text{Ga}_{0.20}\text{As}$ 層12が光吸

収層(チャネル層)となり、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層13が電子供給層となり、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層15がキャップ層となる。そして、 $\text{In}_{0.80}\text{Ga}_{0.20}\text{As}$ 層12において、波長が $1.55\mu\text{m}$ の光を吸収するとともに $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 電子供給層13から供給された電子が走行する。このように、受光デバイス10は、 f_{max} が100GHz以上の高速受光デバイス(HEMT; 高電子移動度トランジスタ)である。

【0018】一方、増幅用デバイス(HEMT)30においては、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層31がバリア層となり、 $\text{In}_{0.80}\text{Ga}_{0.20}\text{As}$ 層32がチャネル層となり、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層33が電子供給層となり、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層35がキャップ層となる。 $\text{In}_{0.80}\text{Ga}_{0.20}\text{As}$ チャネル層32において、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 電子供給層33から供給された電子が走行する。

【0019】また、受光デバイス10において、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ キャップ層15に接するソース電極19とドレイン電極20が配置されるとともに、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 電子供給層13に接するゲート電極18が配置されている。ここで、ゲートリセス構造として、2段リセス構造を採用している。即ち、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ キャップ層15に対し第1のリセス16が形成され、リセス16の底面において $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 電子供給層13が露出している。さらに、リセス16の底面には第2のリセス17が形成され、第2のリセス17の底面の $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 電子供給層13上にゲート電極18が配置されている。ゲート電極18のゲート長は $0.35\mu\text{m}$ (あるいはそれ以下)である。

【0020】一方、増幅用デバイス30において、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ キャップ層35に接するソース電極38とドレイン電極39が配置されるとともに、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 電子供給層33に接するゲート電極37が配置されている。ここで、ゲートリセス構造として、1段リセス構造を採用している。即ち、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ キャップ層35に対しリセス36が形成され、リセス36の底面の $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 電子供給層33上にゲート電極37が配置されている。ゲート電極37のゲート長は $0.50\mu\text{m}$ である。

【0021】なお、増幅用デバイス30において、ゲート電圧が入力信号となり、ソース・ドレイン電流が出力信号となる。さらに、 InP 基板1上における受光デバイス10と増幅用デバイス30の間にはコプレナー線路(図示略)が形成され、コプレナー線路にて電気信号が受光デバイス10から増幅用デバイス30まで導かれる。つまり、コプレナー線路を、受光デバイス10の電気信号を増幅用デバイス30まで導く導波路として用いている。このように、受光用HEMT10と増幅用HEMT30を表面実装型コプレナー線路でつなぐことにより、線路の損失が抑えられ、光集積回路の実装が容易に

できる。

【0022】InP基板1の下面において、受光用HEMT10の直下を除く部分のInP基板1は薄肉化されている。詳しくは、基板1はウェットエッチングによって削られ、InP基板1における受光用HEMT10の直下部分の周囲に凹部2が形成され、これにより、受光用HEMT10の直下部分は凸部3となっている。なお、エッチング液として、硫酸と過酸化水素水の混合液を挙げることができる。凹部2の側面は斜状（テーパ）となっている。凹部2の内面（底面および側面）には、 Si_3N_4 と SiO_2 の繰り返しによる多層膜4、5、6、7が形成（コーティング）され、反射膜として機能する。また、受光用HEMT10の直下における基板1の表面（凸部3の表面）には、 Si_3N_4 膜8が形成（コーティング）され、反射防止膜として機能する。

【0023】そして、光（光信号）は図1中の下（基板表面と直交する方向）から入射し、反射防止膜8を通してInP基板1に入り、受光用HEMT10に至る。この受光デバイス10により光信号が電気信号に変換される。詳しくは、ソース・ドレイン間に所定の電圧（0.5ボルト）を印加した状態において光が照射されると、ソース・ドレイン電流が変化し、これが受光デバイス10で変換した電気信号として増幅用デバイス30に搬送される。送られた信号（高周波信号）は増幅用デバイス30により増幅される。

【0024】ここで、基板1に対し前述したように段差（凹部2）を形成するとともに反射多層膜4～7と反射防止膜8を形成することによって、反射防止膜8により基板1内に光を効率よく入射して受光デバイス10に光を導くことができるとともに、反射膜4～7により増幅用デバイス30への入射を防ぐことができる。さらに、凹部2の斜状面（側面）を利用して基板1の表面に垂直に入射されない光についても効率的に受光デバイス10へ入射させることができ、かつ、効率的に増幅用デバイス30への入射を防ぐことができる。受光デバイス10のみに光が入射するようにすれば、光による増幅用デバイス30の雑音を抑えることができる。よって、受光デバイス10と増幅用デバイス30が隣接しても、光を照射したときの増幅用デバイス30の特性の変化が抑えられる。このように、受光デバイス10と増幅用デバイス30を隣接して集積化することができ、光集積回路の小形化が可能になる。

【0025】また、反射防止膜を Si_3N_4 にて、反射多層膜を Si_3N_4 及び SiO_2 にて構成すると、基板1の保護膜としての効果も生じるため効果的である。図2には、受光デバイス10における I_d-V_d 特性（ドレインバイアス電圧 V_d とドレイン電流 I_d の関係を表す特性）を示す。また、図3には、増幅用デバイス30における I_d-V_d 特性を示す。

【0026】図2の受光デバイス10の特性において、

ドレインバイアス電圧 V_d を0.5ボルトにしており、これにより光の照射強度が光未照射から2.8mWの範囲で変わったときにその光照射強度に応じたドレイン電流 I_d を得ることができる。

【0027】一方、図3の増幅用デバイス30の特性において、ドレインバイアス電圧 V_d として、ドレイン電流 I_d が飽和するドレインバイアス電圧 V_{d1} にしている。ところで、InPを基板としたInAlAs/InGaAs HEMTは、図2の領域Z1で示すごとく、InGaAsチャネル層内における衝突イオン化現象によってドレイン電流 I_d が急激に増加するキंक現象が生じやすい。この電流の急激な増加は、図4に示すように、衝突イオン化によって生じた正孔が、InAlAs層内（ゲートコンタクト層内）にある正孔トラップに捕獲され、InAlAs層のエネルギー準位を図4の一点鎖線で示すように下げて相対的にフェルミレベルを変化させるためと考えられる。

【0028】このようなHEMTを受光デバイスとして用いる場合、このHEMTに光を照射することにより生成した電子-正孔対のうち、正孔がInAlAs層内にある正孔トラップに捕獲され、前記と同様に電流の急激な増加を与える。つまり、光を照射した際に大きな電流増加を生じさせるためには、InAlAs層内の正孔トラップ密度が高いほどよい。このInAlAs層内の正孔トラップ密度はInAlAsの表面工程によって大きく左右される。

【0029】そこで、上述したように受光用HEMT10のゲートリセス構造を2段リセス構造にし、InAlAs層13が大気に露出する面積を大きくすることによって、InAlAs層内の正孔トラップ密度が高くなり、電流変化を増加させることができる。一方、増幅用HEMT30は上記のようなキंक現象が生じると電子デバイスとしての性能が低下するため、ゲートリセス構造を1段にしている。

【0030】また、図5に示すように、受光用HEMT10のゲート2段リセス構造を形成した後において、表面に露出した $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層13を、レジスト膜70で塗布した状態で、少なくとも酸素を含む雰囲気と接触させる。例えば、大気中に1時間以上放置する。その後、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層13上にゲート電極18（図1参照）を形成する。このようにすることにより、InAlAs層中の正孔トラップ密度を高くすることができる。これは、InAlAs層の表面は活性な酸素により Al_2O_3 が部分的にでき格子不整合部を作り、その結果、InAlAs中の正孔トラップ密度を高くすることができるものと推定される。

【0031】このようにして、受光用HEMTに強度を変化させた光（光未照射～2.8mW）を照射したときの I_d-V_d 特性（図2）として、光を照射することによって、低ドレインバイアス側で大きい電流の増加を得

ることができる。

(第2の実施の形態)次に、第2の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0032】図6には、本実施の形態における光集積回路の縦断面を示す。図6において、InP基板1の下面における受光用HEMT10の直下の部分には凹部50が形成され、凹部50はInP基板1をウェットエッチングによって削ることにより形成したものである。凹部50の側面は斜状(テーパ)となっている。凹部50の底面には反射防止膜8が形成(コーティング)されるとともに、凹部50の側面を含めた基板1の表面には反射多層膜4〜7が形成(コーティング)されている。反射多層膜4〜7は Si_3N_4 と SiO_2 とを繰り返して積層したものであり、反射防止膜8は Si_3N_4 よりなる。

【0033】そして、光は図6中の下から入射し、反射防止膜8を通してInP基板1に入り、受光用HEMT10に至る。この受光デバイス10により、光信号が電気信号に変換される。さらに、受光デバイス10で変換した電気信号は、増幅用デバイス30により増幅される。

【0034】ここで、基板1に対し前述したように段差(凹部50)を形成するとともに反射多層膜4〜7と反射防止膜8を形成することによって、反射防止膜8により基板1内に光を効率よく入射して受光デバイス10に光を導くことができるとともに、反射膜4〜7により増幅用デバイス30への入射を防ぐことができる。さらに、凹部50の斜状面(側面)を利用して基板1の表面に垂直に入射されない光についても効率的に受光デバイス10へ入射させることができ、かつ、効率的に増幅用デバイス30への入射を防ぐことができる。受光デバイス10のみに光が入射するようにすれば、光による増幅用デバイス30の雑音を抑えることができる。よって、受光デバイス10と増幅用デバイス30が隣接しても、光を照射したときの増幅用デバイス30の特性の変化が抑えられる。このように、受光デバイス10と増幅用デバイス30を隣接して集積化することができ、光集積回路の小型化が可能になる。

(第3の実施の形態)次に、第3の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0035】図7には、本実施の形態における光集積回路の縦断面を示す。図7において、InP基板1の下面における受光用HEMT10の直下の部分にV型の溝60が形成され、V溝60はInP基板1をウェットエッチングによって削ることにより形成したものである。エッチング液として、塩酸と硝酸の混合液を挙げることができる。V溝60の内面を含めたInP基板1の表面には反射多層膜4〜7が形成(コーティング)されてい

る。また、光を入射する基板1の側面には反射防止膜8が形成(コーティング)されている。反射多層膜4〜7は Si_3N_4 と SiO_2 とを繰り返して積層したものであり、反射防止膜8は Si_3N_4 よりなる。

【0036】そして、光は図7中の左側から入射し、反射防止膜8を通してInP基板1に入り、V溝60の部分にコーティングした反射膜4〜7によって光が反射して受光デバイス10に至る。受光デバイス10により、光信号が電気信号に変換される。さらに、受光デバイス10で変換した電気信号は、増幅用デバイス30により増幅される。

【0037】このようにして、光信号を基板表面と平行な方向から入射し、反射防止膜8によって基板1内に光を効率よく入射することができ、かつ、V溝60の部分にコーティングした反射膜4〜7によって光を反射させて受光デバイス10に光を導くことができる。受光デバイス10のみに光が入射するようにすれば、光による増幅用デバイス30の雑音を抑えることができる。よって、受光デバイス10と増幅用デバイス30が隣接しても、光を照射したときの増幅用デバイス30の特性の変化が抑えられる。このように、受光デバイス10と増幅用デバイス30を隣接して集積化することができ、光集積回路の小型化が可能になる。

【図面の簡単な説明】

【図1】 第1の実施の形態における光集積回路の縦断面図。

【図2】 受光用HEMTの光照射時の静特性図。

【図3】 増幅用HEMTの特性図。

【図4】 作用を説明するためのエネルギーバンド図。

【図5】 光集積回路の製造方法を説明するための縦断面図。

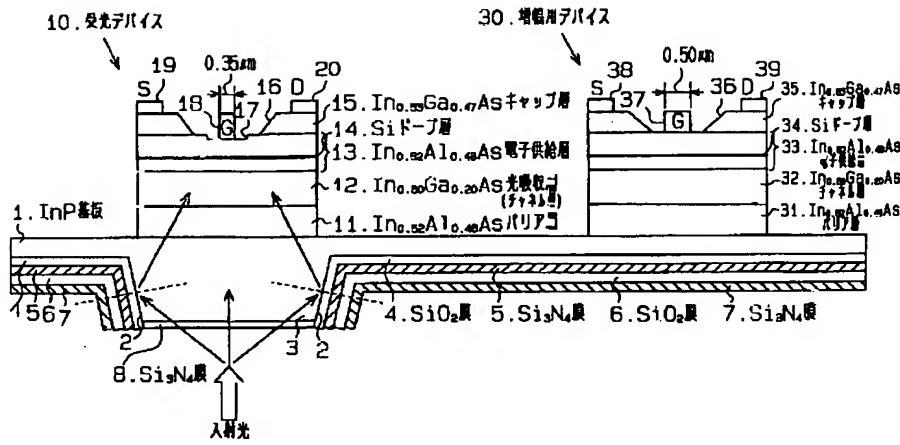
【図6】 第2の実施の形態における光集積回路の縦断面図。

【図7】 第3の実施の形態における光集積回路の縦断面図。

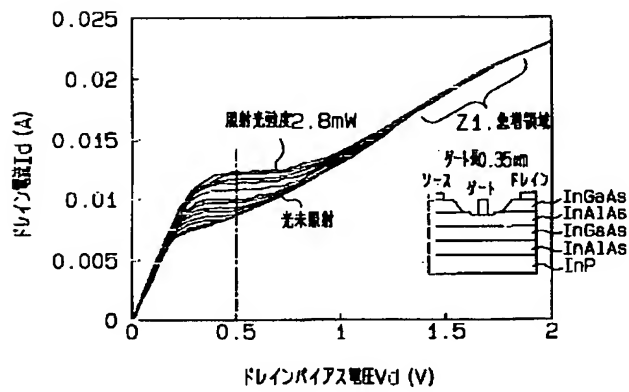
【符号の説明】

1…半絶縁性InP基板、2…凹部、4, 5, 6, 7…反射多層膜、8…反射防止膜、10…受光デバイス、11… $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ バリア層、12… $\text{In}_{0.80}\text{Ga}_{0.20}\text{As}$ 光吸収層(チャネル層)、13… $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 電子供給層、15… $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ キャップ層、16…リセス、17…リセス、18…ゲート電極、19…ソース電極、20…ドレイン電極、30…増幅用デバイス、31… $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ バリア層、32… $\text{In}_{0.80}\text{Ga}_{0.20}\text{As}$ チャネル層、33… $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 電子供給層、35… $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ キャップ層、36…リセス、37…ゲート電極、38…ソース電極、39…ドレイン電極。

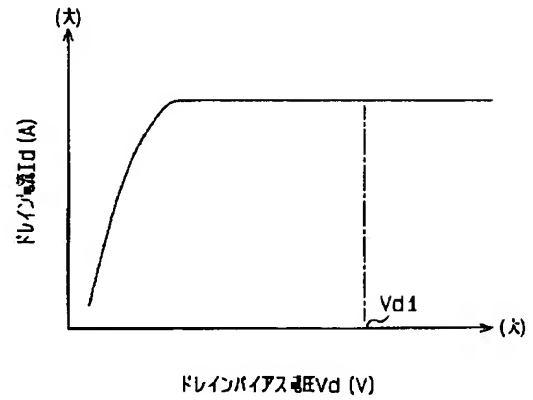
【図1】



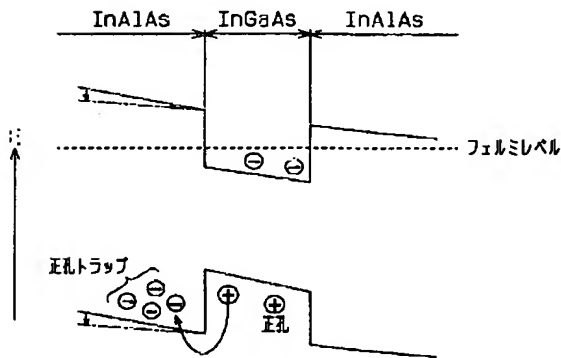
【図2】



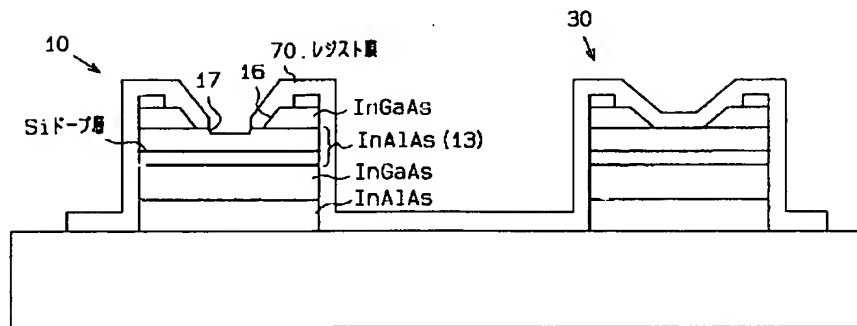
【図3】



【図4】



【図5】



【図6】

